

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002076076
PUBLICATION DATE : 15-03-02

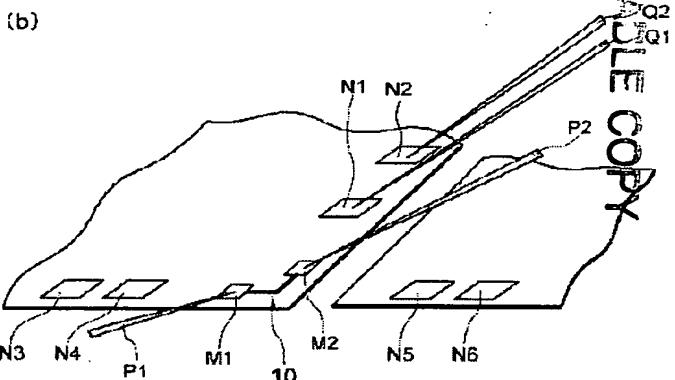
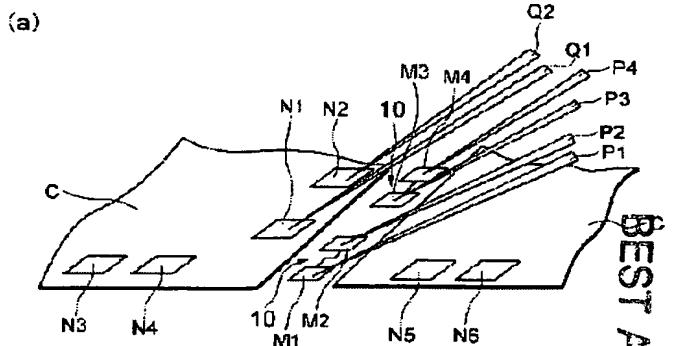
APPLICATION DATE : 05-09-00
APPLICATION NUMBER : 2000268821

APPLICANT : SONY CORP;

INVENTOR : ONE YUSUKE;

INT.CL. : H01L 21/66 G01R 1/073 G01R 31/28

TITLE : PROBE CARD AND TEST METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a probe card which can test characteristics of a TEG by the test equipment for an electronic circuit of a semiconductor chip, and a test method using the same.

SOLUTION: This probe card is used for electrically connecting an object to be measured on which one electronic circuit at least and one test element 10 at least are formed with test equipment, and comprises first probes (Q1, Q2) to test electronic characteristics of the electronic circuit connecting with above electronic circuit and second probes (P1 to 4) to test electronic characteristics of the test element 10 connecting with above test element 10.

COPYRIGHT: (C)2002,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76076

(P2002-76076A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷
H 0 1 L 21/66
G 0 1 R 1/073
31/28

識別記号

F I
H 0 1 L 21/66
G 0 1 R 1/073
31/28

テ-73-ト^{*}(参考)
F 2 G 0 1 1
B 2 G 0 3 2
E 4 M 1 0 6
K

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2000-268821(P2000-268821)
(22)出願日 平成12年9月5日(2000.9.5)

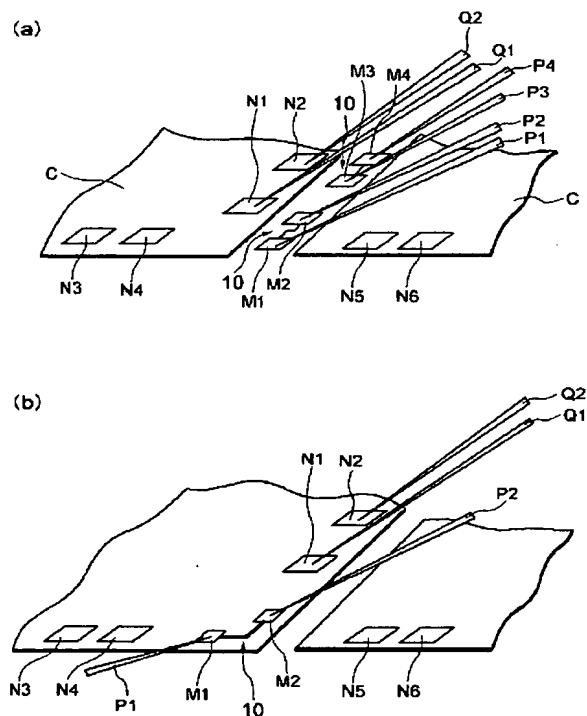
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 大根 裕介
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 100094053
弁理士 佐藤 隆久
F ターム(参考) 2G011 AA02 AA17 AC06 AE03
2G032 AA00 AB01 AD01 AD06 AE17
AF03 AF04 AK11
4M106 AA01 AA07 AA08 AB15 AC01
AC07 BA01 BA14 CA01 CA70
DD03 DD10 DD23 DJ20

(54)【発明の名称】 プローブカードおよび試験方法

(57)【要約】

【課題】半導体チップの電子回路の特性をテストする設備環境において、TEGの特性テストを行うことが可能なプローブカードおよびそれを用いた試験方法を提供する。

【解決手段】少なくとも1つの電子回路および少なくとも1つのテスト素子10が形成されている被測定対象物と、測定装置とを電気的に接続するプローブカードであって、前記電子回路に接続して、当該電子回路の電気的特性を試験するための第1の探針(Q1, Q2)と、前記テスト素子10に接続して、当該テスト素子10の電気的特性を試験するための第2の探針(P1~4)とを有する。



【特許請求の範囲】

【請求項1】少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている被測定対象物と、測定装置とを電気的に接続するプローブカードであつて、

前記電子回路に接続して、当該電子回路の電気的特性を試験するための第1の探針と、
前記テスト素子に接続して、当該テスト素子の電気的特性を試験するための第2の探針とを有するプローブカード。

【請求項2】前記第1および第2の探針を通じて、前記電子回路と前記テスト素子の電気的特性を並行して試験する請求項1記載のプローブカード。

【請求項3】少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている被測定対象物の試験方法であつて、

第1の探針および第2の探針を有するプローブカードの当該第1の探針を前記電子回路に接続させ、かつ当該第2の探針を前記テスト素子に接続させて測定装置と被測定対象物とを電気的に接続させる工程と、
前記第1の探針を通じて、前記電子回路の電気的特性を試験する工程と、
前記第2の探針を通じて、前記テスト素子の電気的特性を試験する工程と
を有する試験方法。

【請求項4】前記第1および第2の探針を通じて、前記電子回路と前記テスト素子の電気的特性を並行して試験する請求項3記載の試験方法。

【請求項5】少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている半導体チップを2以上有する被測定対象物の試験方法であつて、

第1の探針および第2の探針を有するプローブカードの当該第1の探針を半導体チップの電子回路に接続させ、かつ当該第2の探針を前記半導体チップのテスト素子に接続させて、測定装置と被測定対象物とを電気的に接続させる工程と、

前記第2の探針を通じて、前記テスト素子の電気的特性を試験する工程と、

前記第1の探針を通じて、前記電子回路の電気的特性を試験する工程とを有し、

前記電子回路の電気的特性を試験する工程は、前記テスト素子の電気的特性が正常の場合にのみ行う試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プローブカードおよび試験方法に関し、特に測定装置を用いて、半導体チップおよびテスト素子の電気的特性を試験する際に使用するプローブカードおよびそれを用いた試験方法に関する。

【0002】

【従来の技術】半導体装置の製造プロセスにおける、例えば、シリコン等の半導体ウェーハの検査工程では、ウェーハ上に形成された半導体チップの電極と半導体装置の試験装置（LSIテスター）とをプローブカードによって電気的に接続し、半導体チップの電気的特性をテストしている。

【0003】ここで、一般的に半導体ウェーハには、TEG (Test Element Group) が形成されている。TEGとは、半導体チップの電子回路を構成するトランジスタ、コンタクトなどの単体素子を評価するために、半導体チップを形成する際に、そのような単体素子を半導体チップの電子回路とは別に、個別に設けたものである。

【0004】図4に半導体ウェーハの一部分の平面図を示す。図4(a)に示す半導体ウェーハでは、TEG10は、例えば、半導体チップC間の半導体装置組み立て時に、半導体チップCと半導体チップCとが切り分けられる境界であるスクライブラインに形成されており、また、図4(b)に示す半導体ウェーハでは、TEG10は半導体チップC内部に形成されている。

【0005】上記のTEG10は、製品として出荷するためのものではなく、例えば、量産ラインにおける管理データの収集のために使用され、具体的には、半導体の各プロセスにフィードバックすることにより、プロセスを最適化する場合等に使用される。また、新技術開発用にも使用され、例えば新しいデバイス構造を開発しようとする場合、デザイン最適化の目的で各種の構造やディメンジョンを組み合わせたパターンを含むTEGを形成することもある。

【0006】上記のようなTEGが形成された半導体ウェーハのテストは、通常2工程から成る。第1の工程は、例えばトランジスタなどの単体素子の電気的特性をテストするために、図5(a)に示すように、例えば半導体チップC間のスクライブラインに形成されたTEG10の各電極(M1～M4)に、TEG10の特性テスト用のプローブカード基板に接続されたプローブ針(P1～P4)を接触させて、テスターを介して、TEGの電気的特性をテストする。あるいは、図5(b)に示すように、例えば半導体チップC内部に形成されたTEGの各電極(M1, M2)に、TEGの特性テスト用のプローブカード基板に接続されたプローブ針(P1, P2)を接触させて、テスターを介して、TEGの電気的特性をテストする。上記のTEG10の電気的特性のテストとは、主に直流(DC: direct current)特性テストであり、当該DC特性テストは、例えば、各入力ピンの高レベルおよび低レベル入力電圧、入力電流、各出力ピンの出力電圧、出力電流などの静特性や動作時消費電流、静止時消費電流などの半導体単体素子の直流特性を測定するためのテストである。

【0007】上記のTEGの電気的特性テストを行った後、第2の工程として、半導体チップCの電気的特性を

テストする。第2の工程は、図6に示すように、半導体チップCの電子回路に接続する電極(N1～N6)のうち、例えば電極(N1, N2)に、半導体チップCの特性テスト用のプローブカード基板に接続されたプローブ針(Q1, Q2)を接触させて、テスターを介して、半導体チップの電気的特性をテストする。例えば、当該半導体チップの電気的特性のテストとしては、ファンクションテストや交流(AC: alternating current)特性テストなどがある。ファンクションテストは、LSIの論理的な動作機能をチェックするものである。AC特性テストは、論理回路の遅延時間や出力の立ち上がり、立ち下がり時間などのスイッチング特性をテストするものである。

【0008】従来の半導体ウェーハをテストする工程では、上記のように、TEGおよび半導体チップの電気的特性をテストする際に、別々のテスト工程が存在し、各テスト工程に使用するプローブカードも、図5および図6に示すように、別々の基板およびプローブ針からなるプローブカードを使用している。また、使用するテスターも、半導体チップの電気的特性をテストするテスターとしては、ファンクションテストおよび交流特性テストなどの複雑な試験を行うために大型のテスターを使用する必要があり、一方、TEGの電気的特性をテストするテスターとしては、直流特性テストのみで済むことから、簡易なテスターを使用している。このように、TEGの特性テストと、半導体チップの特性テストでは、使用するテスターおよびプローブカードなどのテスト設備環境が異なっている。

【0009】従って、TEGの特性テストと、半導体チップの電子回路の特性テストを行うために、まず、TEGの特性テスト用のテスターにより、ウェーハWにプローブカードのプローブ針を位置合わせして、TEGの電気的特性を測定し、次に、半導体チップの特性テスト用のテスターにより、ウェーハWに別のプローブカードのプローブ針を位置合わせして、半導体チップの電子回路の電気的特性をテストする必要があった。

【0010】ここで、TEGの電気的特性テストは、半導体チップの電子回路を構成する単体素子のウェーハW面内での電気的特性をみる重要なテストでありながら、生産性の都合上や、TEGは製品としては出荷されない等の理由から、図7(a)に示すように、半導体ウェーハWに搭載されたTEGの数カ所(J1～J5)をテストするに留まっている。

【0011】従って、TEGの特性テスト後の半導体チップの特性テストにおいて、半導体ウェーハW面内の特定部分などに不良の半導体チップが存在し、図7(b)に示すように、その不良部分K1が、TEGの特性テストが行われている領域の場合には、TEGの特性テスト結果と、半導体チップの電子回路の特性テスト結果より、異常パラメータの相関関係を求ることで、半導体

チップの不良の要因を把握することが可能となる。

【0012】

【発明が解決しようとする課題】しかしながら、図7(c)に示すように、半導体チップの不良部分(K2, K3)が、TEGの特性テストが行われていない領域の場合には、TEGのテスト工程に戻り、専用の設備環境下でのテストを再度行い、データを取得する必要がある。

【0013】この場合、半導体チップの特性とTEGの特性との相関関係を求めるためには、半導体チップの不良部分に対応するTEGの測定を行う必要があるが、上記のようなTEGと半導体チップのテスト設備環境が異なる場合には、半導体ウェーハ中に200～300程度ある半導体チップの不良部分に対応するTEGをチェックして、異なる設備環境の下でテストを行うことは多大な時間と手間を要することになる。

【0014】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明は、半導体チップの電子回路の特性をテストする設備環境において、TEGの特性テストを行うことが可能なプローブカードおよびそれを用いた試験方法を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明のプローブカードは、少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている被測定対象物と、測定装置とを電気的に接続するプローブカードであって、前記電子回路に接続して、当該電子回路の電気的特性を試験するための第1の探針と、前記テスト素子に接続して、当該テスト素子の電気的特性を試験するための第2の探針とを有する。

【0016】好適には、前記プローブカードは、前記第1および第2の探針を通じて、前記電子回路と前記テスト素子の電気的特性を並行して試験する。

【0017】上記の本発明のプローブカードによれば、電子回路に接続して、当該電子回路の電気的特性を測定するための第1の探針と、テスト素子に接続して、当該テスト素子の電気的特性を測定するための第2の探針とを有するプローブカードを使用することにより、同一のプローブカードで電子回路およびテスト素子の電気的特性を測定することが可能になる。

【0018】また、上記の目的を達成するため、本発明の試験方法は、少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている被測定対象物の試験方法であって、第1の探針および第2の探針を有するプローブカードの当該第1の探針を前記電子回路に接続させ、かつ当該第2の探針を前記テスト素子に接続させて測定装置と被測定対象物とを電気的に接続させる工程と、前記第1の探針を通じて、前記電子回路の電気的特性を試験する工程と、前記第2の探針を通じて、前記テスト素子の電気的特性を試験する工程とを有する。

【0019】好適には、前記第1および第2の探針を通じて、前記電子回路と前記テスト素子の電気的特性を並行して試験する。

【0020】上記の本発明の試験方法によれば、電子回路に第1の探針を接続させ、かつテスト素子に第2の探針を接続させることにより、第1の探針を通じて、電子回路の電気的特性が試験され、第2の探針を通じて、テスト素子の電気的特性が試験されることとなり、同一のプローブカードで電子回路およびテスト素子の電気的特性を測定することが可能になる。

【0021】さらに、上記の目的を達成するため、本発明の試験方法は、少なくとも1つの電子回路および少なくとも1つのテスト素子が形成されている半導体チップを2以上有する被測定対象物の試験方法であって、第1の探針および第2の探針を有するプローブカードの当該第1の探針を半導体チップの電子回路に接続させ、かつ当該第2の探針を前記半導体チップのテスト素子に接続させて、測定装置と被測定対象物とを電気的に接続させる工程と、前記第2の探針を通じて、前記テスト素子の電気的特性を試験する工程と、前記第1の探針を通じて、前記電子回路の電気的特性を試験する工程とを有し、前記電子回路の電気的特性を試験する工程は、前記テスト素子の電気的特性が正常の場合にのみ行う。

【0022】上記の本発明の試験方法によれば、電子回路およびテスト素子の電気的特性を試験する工程において、電子回路の電気的特性を試験する工程は、テスト素子の電気的特性が正常の場合にのみ行う。これは、不良のテスト素子を有する半導体チップの電子回路の電気的特性は、不良である確率が高いためであり、これにより、不良のテスト素子を有する半導体チップの電子回路の電気的特性的試験を省略することができることから、半導体チップの試験時間を短縮させることができる。

【0023】

【発明の実施の形態】以下に、本発明のプローブカードおよびそれを用いた試験方法の実施の形態について、図面を参照して説明する。

【0024】第1実施形態

図1は本実施形態のプローブカードの概略構成図を示したものである。図1に示すプローブカード101は、基板102と、基板102に保持された複数のプローブ針(探針)105とを有しており、各プローブ針105は、基板102を介してケーブル109によってLSIテスター201と電気的に接続されている。ここで、プローブ針105には、半導体チップの特性テスト用のプローブ針Qと、TEGの特性テスト用のプローブ針Pを有している。従って、TEGの特性テスト用のプローブ針Pと、半導体チップCの特性テスト用のプローブ針Qは、同一の基板102に接続されており、当該基板102も同一のLSIテスター201に接続されている。

【0025】上記のプローブカード101を用いた、本

発明の試験方法について説明する。図2は、プローブカード101をウェーハWに対して位置決めし、ウェーハW上の半導体チップおよびTEGに接続する電極に接触した状態を示す断面図である。図2に示すように、半導体チップCおよびTEGの電気的特性のテストは、プローブカード101をウェーハWに対して位置決めし、ウェーハW上の半導体チップCの電子回路に接続する電極Nにプローブ針Qを接触させ、かつウェーハW上の例えれば半導体チップC間に形成されたTEGに接続する電極Mにプローブ針Pを接触させて行う。

【0026】図2に示すように、プローブカード101のプローブ針(P, Q)をウェーハWに形成された半導体チップの電極NおよびTEGの電極Mに接触させた状態で、まず、半導体チップCの電気的特性をテストする。

【0027】図3(a)に示すように、例えれば半導体チップC間のスクライブラインに形成されたTEG100の各電極(M1~M4)に、プローブ針(P1~P4)を接触させ、かつ、半導体チップCの電子回路に接続する各電極(N1~N6)のうち、例えれば電極(N1, N2)に、プローブ針(Q1, Q2)を接触させて、LSIテスター201を介して、半導体チップCの電気的特性をテストする。あるいは、図3(b)に示すように、例えれば半導体チップC内部に形成されたTEG10の各電極(M1, M2)に、プローブ針(P1, P2)を接触させ、かつ、半導体チップCの電子回路に接続する各電極(N1~N6)のうち、例えれば電極(N1, N2)に、プローブ針(Q1, Q2)を接触させて、LSIテスター201を介して、半導体チップCの電気的特性を試験する。

【0028】例えれば、当該半導体チップCの電気的特性のテストとしては、ファンクションテストや交流(AC)特性テストなどがある。ファンクションテストは、LSIの論理的な動作機能をチェックするものである。AC特性テストは、論理回路の遅延時間や出力の立ち上がり、立ち下がり時間などのスイッチング特性をテストするものである。

【0029】そして、半導体チップCの特性テスト中、あるいは特性テスト直後に、半導体チップCの電気的特性の不良が判明した時点で、不良部分のTEG10の特性テストを行う。上記のTEG10の電気的特性の試験とは、主に直流(DC)特性テストであり、当該DC特性テストは、例えれば、各入力ピンの高レベルおよび低レベル入力電圧、入力電流、各出力ピンの出力電圧、出力電流などの静特性和動作時消費電流、静止時消費電流などの半導体単体素子の直流特性を測定するための試験である。

【0030】次に、TEG10の特性テスト結果と、半導体チップCの電子回路の特性テスト結果より、異常パラメータの相関関係を求めてことで、半導体チップCの

不良の要因を把握することが可能となる。この後、当該結果を、半導体の各プロセスにフィードバックすることにより、プロセスを最適化すること等が可能となる。

【0031】本実施形態に係るプローブカードおよびそれを用いた試験方法によれば、半導体チップCの特性テスト結果より得られる半導体ウェーハW面内の半導体チップCの不良部分に対し、半導体チップCの特性テストの設備環境下において、手間を掛けることなく短時間で異常箇所のTEG10の特性を見て、異常の要因を把握することが可能となり、早急な対策、対応を取ることが可能となる。

【0032】第2実施形態

本実施形態では、使用するプローブカードは第1実施形態と実質的に同様であるが、それを用いた試験方法が異なる。本実施形態に係る試験方法について説明する。

【0033】例えば図4(b)に示すように、TEG10が半導体チップC内部に存在する半導体ウェーハWにおいて、TEG10の特性に規格外の異常が見られた場合に、多くの半導体チップCの特性に異常が見られることが予想され、半導体装置としての機能を満たすことが出来ないことが考えられる。これは、TEG10の特性に異常がある場合には、当該TEG10と実質的に同様の単体素子を有する半導体チップCの電子回路も、不良である確率が高いからである。

【0034】このような場合、LSIテスター201の記憶装置に記憶させる試験プログラムとして、TEG10の特性テストプログラムを半導体チップCの特性テストプログラムの前に付加し、かつ、TEG10の特性テストにおいて規格外のものは、半導体チップCの特性テストを行うことなく、当該TEG10を有する半導体チップCを不良であると判定せしむるようプログラムしておく。

【0035】そして、図2に示すように、プローブカード101のプローブ針(P, Q)をウェーハWに形成された半導体チップの電極NおよびTEGの電極Mに接触させ、まず、TEGの電気的特性をテストする。当該TEGの電気的特性のテストの内容は、第1実施形態で説明したのと同様である。

【0036】TEG10の特性テストにより、TEG10の特性に問題がない場合には、次に当該TEG10を有する半導体チップCの電気的特性をテストする。この半導体チップCの電気的特性のテストの内容は、第1実施形態で説明したのと同様である。ここで、TEG10の特性テストにより、TEG10の特性が規格外である場合には、当該TEG10を有する半導体チップCの特性テストは行わず、他の半導体チップCにおける、TEG10の特性テストおよび半導体チップCの特性テストに移る。このようにして、次々とウェーハW面内に形成された半導体チップCおよびTEG10の特性テストを行っていく。

【0037】本実施形態によれば、規格外のTEG10を含む半導体チップCを全て不良品と判定することにより、不良品が後工程、または市場へと流出することを回避することができる。また、TEG10の特性テストにおいて、規格外と判定されたTEG10を有する半導体チップCを、当該半導体チップCの特性テストを行うことなく、不良品と判定することで、ウェーハW当たりの半導体チップCの特性テスト時間を短縮させることができる。

【0038】本発明のプローブカードおよび試験方法は、上記の説明に限定されない。例えば、本発明では、針状の端子(探針)を基板から斜めに傾けた横型(カンチレバー型)針のプローブカードについて説明したがこれに限られるものではなく、例えば、針状の端子(探針)を基板に垂直に立てた縦(垂直)型針のプローブカードでも適用可能であり、また、絶縁フィルム上にバンプを形成したメンブレン型のプローブ端子を有するプローブカードでも適用可能である。また、プローブカードに搭載するTEGの特性テスト用のプローブ針、および、半導体チップの特性テスト用プローブ針の本数は、本実施形態で説明した本数に限らず、可能な限り多くのプローブ針を搭載することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0039】

【発明の効果】本発明によれば、同一のプローブカードで電子回路およびテスト素子の電気的特性を測定することが可能になり、電子回路の電気的特性およびテスト素子の電気的特性の相関関係を短時間で求めることができる。

【図面の簡単な説明】

【図1】図1は、本実施形態のプローブカードの概略構成図を示したものである。

【図2】図2は、本実施形態のプローブカードをウェーハに対して位置決めし、ウェーハ上の半導体チップおよびTEGに接続する電極に接触した状態を示す断面図である。

【図3】図3は、本実施形態のプローブカードを用いた試験方法について説明するための要部斜視図であり、

(a)は半導体チップ間のスクライブラインにTEGが形成されているウェーハの場合を示し、(b)は半導体チップ内部にTEGが形成されたウェーハの場合を示している。

【図4】図4は、半導体ウェーハの一部分の平面図を示したものであり、(a)は、半導体チップ間のスクライブラインにTEGが形成されているウェーハを示し、

(b)は半導体チップ内部にTEGが形成されたウェーハを示している。

【図5】図5は、従来例に係るウェーハの試験工程におけるTEGの試験方法を説明するための要部斜視図であり、(a)は半導体チップ間のスクライブラインにTE

Gが形成されているウェーハの場合を示し、(b)は半導体チップ内部にTEGが形成されたウェーハの場合を示している。

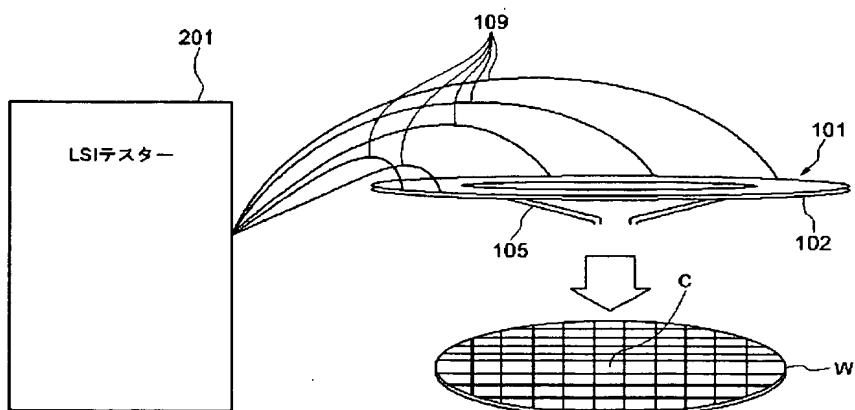
【図6】図6は、従来例に係るウェーハの試験工程における半導体チップの試験方法を説明するための要部斜視図である。

【図7】図7は、ウェーハ面内に形成されたTEGの特性試験を行った部分と、半導体チップの異常部分との関係を説明するための図である。

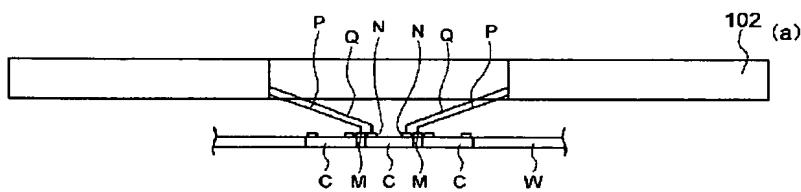
【符号の説明】

10…TEG、101…プロープカード、102…基板、109…ケーブル、105…プロープ針、J1, J2, J3, J4, J5…TEGの特性テスト箇所、K1, K2, K3…半導体チップ不良部分、M1, M2, M3, M4…TEGに接続する電極、N1, N2, N3, N4, N5, N6…半導体チップの電子回路に接続する電極、P1, P2, P3, P4…TEGの特性テスト用プロープ針、Q1, Q2…半導体チップの特性テスト用プロープ針、C…半導体チップ、W…ウェーハ。

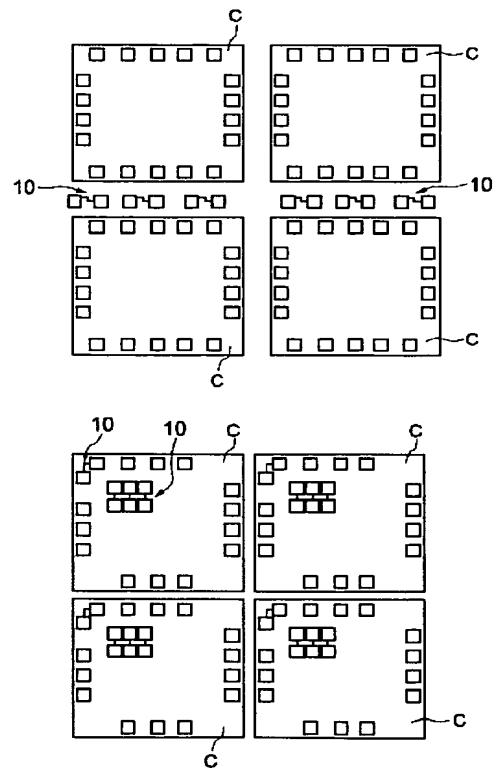
【図1】



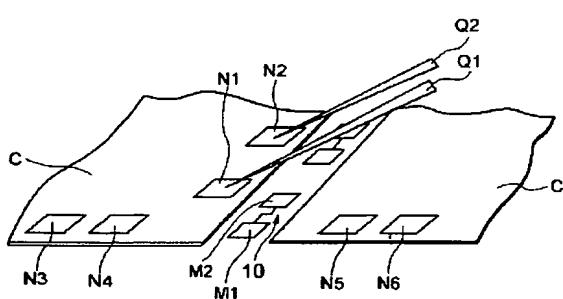
【図2】



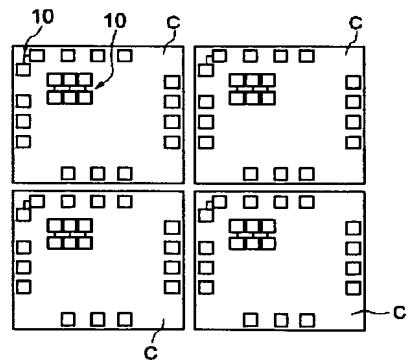
【図4】



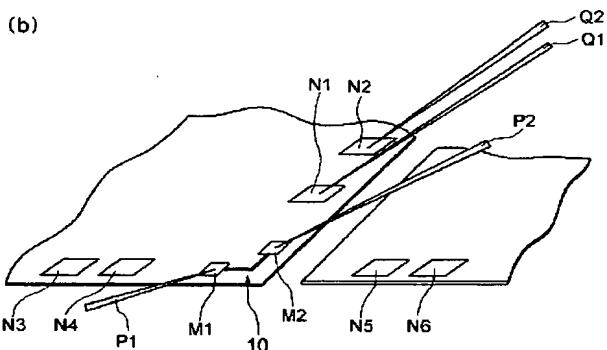
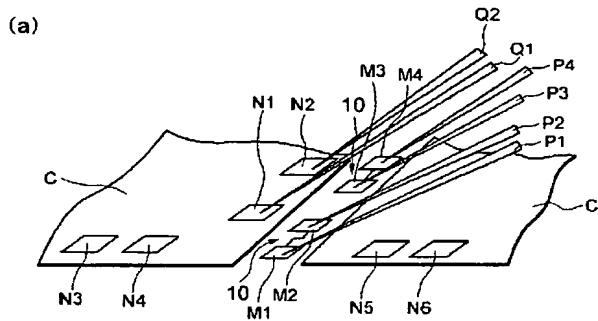
【図6】



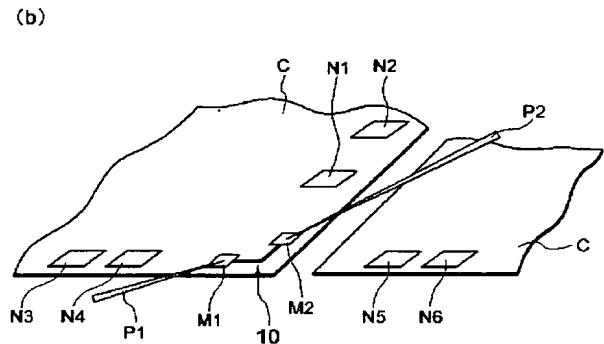
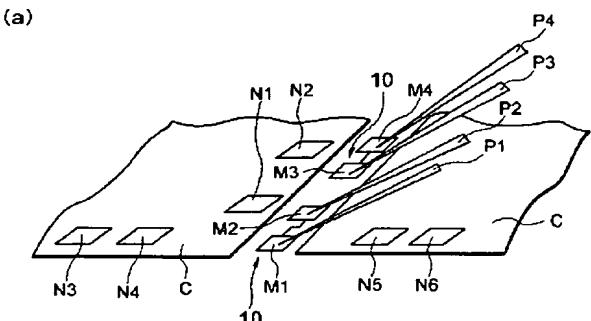
(b)



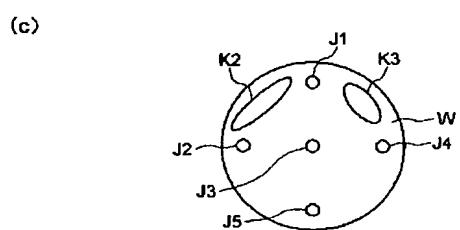
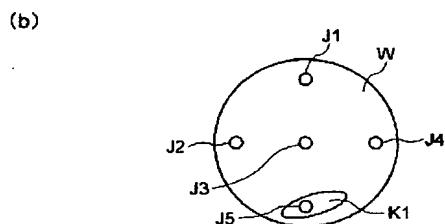
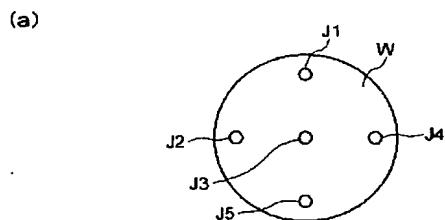
【図3】



【図5】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.